



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63166332 A**
(43) Date of publication of application: **09.07.1988**

(51) Int. Cl. **H04L 1/20**
H03M 13/12

(21) Application number: **61311312**
(22) Date of filing: **27.12.1986**

(71) Applicant: **NEC CORP**
(72) Inventor: **YOSHIDA ATSUSHI**

(54) DATA RECEIVER

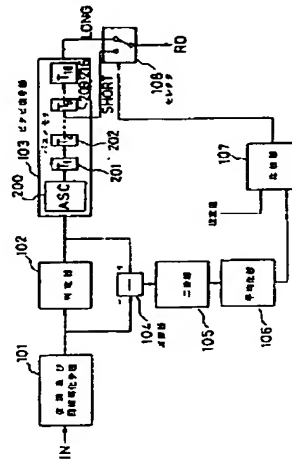
excellent, the internal delay in the Viterbi decoder is reduced and the transmission efficiency is improved.

COPYRIGHT: (C)1988,JPO&Japio

(57) Abstract:

PURPOSE: To improve the transmission efficiency by varying a bus memory length of a Viterbi decoder depending on the quality of a transmission line so as to reduce the delay in the inside of the Viterbi decoder when the quality of the transmission line is excellent.

CONSTITUTION: A measuring means using a Viterbi decoder 103 setting the internal path memory length variably as a Viterbi decoder and a selector 108 and measuring the degree of quality of the transmission line and outputting the result of measurement, a discriminator 102, a subtractor 104, a square device 105, an averaging device 106 and a controlling means 107 setting the path memory length of the Viterbi decoder short when the result of measurement represents the excellent quality of transmission line by the share are provided. When the quality of the transmission line is



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-166332

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)7月9日

H 04 L 1/20
H 03 M 13/12

8732-5K
6832-5J

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 データ受信機

⑯ 特 願 昭61-311312

⑰ 出 願 昭61(1986)12月27日

⑱ 発 明 者 吉 田 厚 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

データ受信機

2. 特許請求の範囲

1. 誤り訂正符号としてトレリス符号を付加したデータを有する入力信号を、伝送路を介して、受けるデータ受信機であって、前記入力信号を復調し復調信号を出力する復調手段と、該復調信号を受け、前記トレリス符号を用いて前記データを復号するビタビ復号器とを有する前記データ受信機において、前記ビタビ復号器として内部のパスメモリ長を可変的に設定し得るビタビ復号器を用い、前記伝送路の品質の程度を測定し、測定結果を出力する測定手段と、該測定結果が前記伝送路の品質が良いことを示していればそれだけ前記ビタビ復号器の前記パスメモリ長を短く設定する制御手段とを有することを特徴とするデータ受信機。

2. 前記ビタビ復号器の前記パスメモリ長の設定が、前記データ受信機の初期トレーニング中に行なわれ、該パスメモリ長の設定の完了後に前記データの伝送が開始される特許請求の範囲第1項記載のデータ受信機。

3. 前記測定手段は、前記復調信号が所定レベルより大か小かを判定する判定器と、該判定器の出力信号から前記復調信号を減算し、誤差を出力する減算器と、該誤差を2乗し、平均化し、誤差電力を出力する手段とを有し、前記制御手段は、前記誤差電力が小であればそれだけ前記ビタビ復号器の前記パスメモリ長を短く設定するものである特許請求の範囲第1項又は第2項記載のデータ受信機。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は誤り訂正符号としてトレリス符号を付加したデータを有する入力信号を受けるデータ受信機に関し、特に、データモデム用受信機に関する

る。

〔従来の技術〕

従来、この種のデータモデム用受信機は、トレリス符号を用いてデータを復号するビタビ復号器を有している。このビタビ復号器の内部のパスメモリ長は一定長に固定されている。例えば、CCITT勧告V32(9600bps二線全二重交換回線用モデム)やV33(14400bps四線全二重専用回線用モデム)においては8状態のトレリス符号が採用されていて、最良の特性を得る為にパスメモリ長は15シンボル分程度に設定されている。

〔発明が解決しようとする問題点〕

このため、上述した従来のデータモデム用受信機では、伝送路品質の良し悪しにかかわらず、常にビタビ復号器による15シンボル程度の内部遅延が存在するため、実質的な伝送効率が低下するという欠点がある。

本発明の目的は、上記欠点を除去し、ビタビ復号器のパスメモリ長を伝送路の品質によって可変とすることにより、伝送路の品質が良い場合に前

記パスメモリ長の設定が、前記データ受信機の初期トレーニング中に行なわれ、該パスメモリ長の設定の完了後に前記データの伝送が開始されるデータ受信機が得られる。

また、本発明によれば、前記測定手段は、前記復調信号が所定レベルより大か小かを判定する判定器と、該判定器の出力信号から前記復調信号を減算し、誤差を出力する減算器と、該誤差を2乗し、平均化し、誤差電力を出力する手段とを有し、前記制御手段は、前記誤差電力が小であればそれだけ前記ビタビ復号器の前記パスメモリ長を短く設定するものであるデータ受信機が得られる。

〔実施例〕

次に本発明の実施例について図面を参照して説明する。

第1図を参照すると、本発明の一実施例によるデータモデム用受信機は、伝送路(図示せず)から、誤り訂正符号としてトレリス符号を付加したデータを有する入力信号INを受ける。復調及び回線等化手段101は、前記入力信号を復調し、か

記ビタビ復号器の内部の遅延を減少させることができ、伝送効率を向上せしめることができるデータ受信機を提供することにある。

〔問題点を解決するための手段〕

本発明によれば、誤り訂正符号としてトレリス符号を付加したデータを有する入力信号を、伝送路を介して、受けるデータ受信機であって、前記入力信号を復調し復調信号を出力する復調手段101と、該復調信号を受け、前記トレリス符号を用いて前記データを復号するビタビ復号器103とを有する前記データ受信機において、前記ビタビ復号器として内部のパスメモリ長を可変的に設定し得るビタビ復号器103、108を用い、前記伝送路の品質の程度を測定し、測定結果を出力する測定手段102、104、105、106と、該測定結果が前記伝送路の品質が良いことを示していればそれだけ前記ビタビ復号器の前記パスメモリ長を短く設定する制御手段107とを有することを特徴とするデータ受信機が得られる。

更に、本発明によれば、前記ビタビ復号器の前

つ特性の等化を行って復調信号を出力する。判定器102は前記復調信号がレベル"1"かレベル"0"かを所定しきい値レベルに比較することにより判定する。即ち、判定器102によりアナログの復調信号がデジタルの復調信号に変換される。

ビタビ復号器103は、該デジタルの復調信号を受ける演算装置200と、この演算装置200の出力信号を受ける16シンボル分のパスメモリ201~216とを有している。1シンボルの間隔は416 μ s(=1/2400s)であり、データ伝送速度は9600bpsである。演算装置200は、一般に、ACS(add compare and select device)とよばれる。ビタビ復号器103は、前記トレリス符号を用いて前記データを復号する。

このようにして、入力信号INは復調及び回線等化手段101、判定器102、ビタビ復号器103により受信データ(RD)とされる。

一方、減算器104は、判定器102の出力信号から復調及び回線等化手段101の出力信号を減算し、誤差を出力する。この誤差が大きければ

大きい程、信号の形がくずれており、伝送路の品質が悪い。この誤差は二乗器105及び平均化器106にて誤差電力として求められ、この値が設定値より大であるか小であるかを比較器107にて比較される。

更にセレクトア108はビタビ復号器103のパスメモリの中で、8シンボル後の復号結果及び16シンボル後の復号結果のいずれかを選択して受信データ(RD)として出力するべく接続されている。

さて初期トレーニングシーケンスの終了直前に、前記誤差電力を求め、この値が設定値(信号電力に対し約-23dB)より大ならセレクトア108はビタビ復号器103の復号結果のうち16シンボル後の復号結果を受信データ(RD)として選択し、ビタビ復号器103の誤り訂正能力を強化し、誤差電力が設定値より小なる場合は8シンボル後の復号結果を選択し、内部遅延を減少する。

このように本データモデム用受信機は、初期トレーニング期間に前記誤差電力を測定することに

に種々の設計変更を施したものをも含む。例えば、上記実施例では、ビタビ復号器としてパスメモリ長を長・短2段階に設定し得るビタビ復号器を用いたが、パスメモリ長を3種以上に設定し得るビタビ復号器を用いてもよい。この場合、比較器107の代りに、前記誤差電力に応じてパスメモリ長を3種以上に設定できるような制御回路を設ける必要がある。更に、本実施例では9600bpsのデータモデムでパスメモリ長が8シンボル/16シンボルの場合につき説明したが、他の種類のデータモデムにも適用可能であることは明らかである。

〔発明の効果〕

以上説明したように本発明はビタビ復号器のパスメモリ長を伝送路の品質によって可変とすることにより、伝送路の品質が良い場合に前記ビタビ復号器の内部の遅延を減少させることができ、伝送効率の向上を達成できる効果がある。

4. 図面の簡単な説明

より伝送路の状態を把握し、該誤差電力が設定値よりも小の場合は伝送路の品質が良いので、ビタビ復号器のパスメモリ長を短かく設定して内部遅延の短縮を達成し、前記誤差電力が設定値より大の場合は伝送路の品質が悪いので、ビタビ復号器のパスメモリ長を長く設定して伝送誤り訂正能力の強化を達成するという初期設定を行なう。この初期設定完了後に、上記データの伝送が開始される。

なお、このデータモデム用受信機において、ビタビ復号器103とセレクトア108との組合せは、内部のパスメモリ長を可変的に設定し得るビタビ復号器として働く。また、判定器102、減算器104、二乗器105、平均化器106の組合せは、伝送路の品質の程度を測定し、測定結果を出力する測定手段として働く。また、比較器107は、前記測定結果が前記伝送路の品質が良いことを示していればそれだけ前記ビタビ復号器の前記パスメモリ長を短く設定する制御手段として働く。

なお、本発明は上記実施例に限定されず、それ

第1図は本発明の一実施例によるデータモデム用受信機のブロック図である。

図において、

101…復調および回線等化手段、102…判定器、103…ビタビ復号器、104…減算器、105…二乗器、106…平均化器、107…比較器、108…セレクトアである。

代理人 (7783) 弁理士 池田 憲保



第 1 図

